

Translation

JAPANESE KOKAI PATENT, SHO 62-9639

Disclosure Date : January 17, 1987

Int. Class. : H 01 L 21/56

Ser. No. for Official Use : 1-6835-5P

TITLE OF INVENTION : MANUFACTURE OF SEMICONDUCTOR DEVICE

APPLICATION NO. AND DATE : SHO 60-148864, July 5, 1985

INVENTOR : Tsuneo KAMATA, NEC Yamagata, Ltd.
4-12-12 Kitamachi, Yamagata-Shi

APPLICANT : NEC Yamagata, Ltd.
4-12-12 Kitamachi, Yamagata-Shi

AGENT : Hitoshi UCHIEPA, Patent Agent

NUMBER OF INVENTIONS : 1

REQUEST FOR EXAMINATION : None

1. Title of invention

MANUFACTURE OF SEMICONDUCTOR DEVICE

2. Claim

Manufacturing method of semiconductor device, as characterized by setting semiconductor chips on a printed circuit substrate having a patterned circuit, connecting the electrodes of said semiconductor chips to said circuit, and cutting and separating them after resin encapsulation.

3. Specification

[Field of commercial utility]

This invention relates to a method of manufacture of semiconductor device, and particularly this invention intends to provide chip parts such as miniaturized transistors, diodes, etc at high level of reliability and inexpensively.

[Prior art]

Conventionally, this type of semiconductor chip parts was manufactured by setting semiconductor pellets on a punched-out lead frame, connecting the wires, forming into leads and forming chips, or setting the semiconductor chips on a ceramic part, connecting the wires, and encapsulating with resin.

[Problems to be solved by the invention]

The manufacturing method of the prior art, since leads were formed after encapsulating in the former example, showed inferior moisture resistance and greater variation of size and shape, and this has been the cause of problems in actual packaging process.

And, with the latter example, the raw materials were expensive, variation of the size of the material and substrate or variation of encapsulated size was great, and this again has been the cause of the problems in actual packaging process.

[Means to solve the problems]

In the present invention, semiconductor pellets are set on the printed circuit substrate which have the pattern to match the element configuration, necessary internal connections are made, and subsequently the surface of the

elements is encapsulated with a resin, and then the encapsulated printed circuit substrate is cut into individually separated semiconductor elements. In this case, processes such as measurement of the electrical property of the elements or marking process can be carried out before or after the cutting and separation process. Thus, such work can be carried out by the most accessible process, based on optimization of the process or element configuration.

[Example]

This invention is explained below by referring to the accompanying drawings.

Fig. 1 represents the side view and cross-sectioned view of the completed device. Fig. 2(A) is a cross-sectioned side view of the printed circuit substrate which is used for assembly of this device, and Fig. 2(B) is a partial plane view of this printed circuit substrate. Assembly process is explained by following these drawings.

Semiconductor pellet 3 is mounted and immobilized on the printed circuit substrate 1 by solder 2, and they are connected by bonding wire 4. This situation is illustrated in Fig. 3. Then, the surface of the element is encapsulated or sealed with resin 5. Encapsulation may be performed over the entire surface or a part of the surface. This situation is illustrated in Fig. 4. Finally, element is cut and separated to form a completed product. This situation is illustrated in Fig. 5. Cutting can be made accurately through the center part of the through-hole without damaging the linkage with the packaged contacts on the rear side.

[Effect of invention]

As explained above, according to this invention, miniature leadless chip carrier element that has high precision and high quality can be obtained. External dimension can be miniaturized by 30 - 50%, compared to the chip carrier formed by the conventional lead working process. Thus, this process can be used for the future miniaturization. It can be applied widely to miniature diode or transistor, as well as a giant LSI element, and thus the effect is enormous.

4. Brief explanation of drawings

Fig. 1 is a side view to illustrate a partially sectioned semiconductor, made by an example of this invention.

Fig. 2(A) and Fig. 2(B) are, respectively, the cross-sectioned view and plane view of the printed circuit substrate.

Fig. 3 is a side view that represents the situation of setting the semiconductor pellet on the printed circuit substrate and connecting with the external terminal(s).

Fig. 4 is a cross-sectioned view to represent the surface of the semiconductor element that was encapsulated with a protective resin.

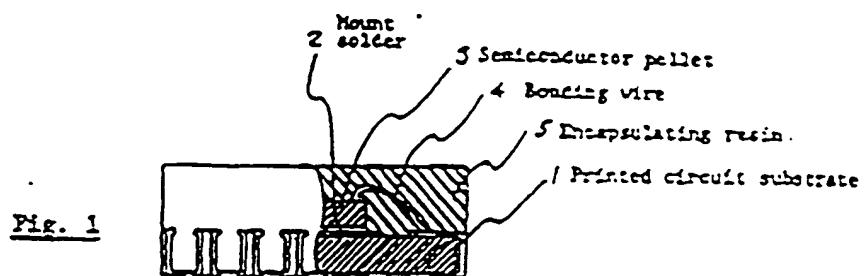


Fig. 1

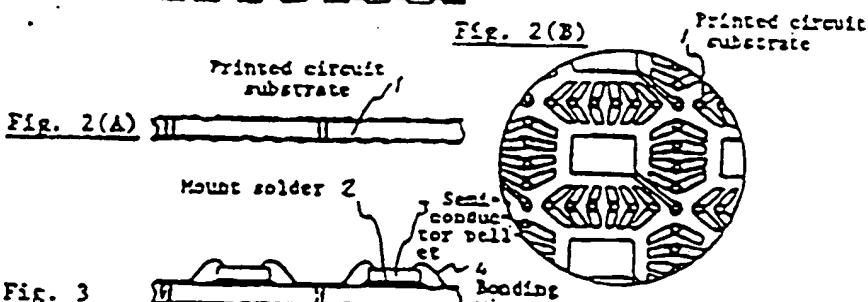


Fig. 3

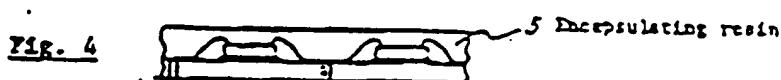


Fig. 4

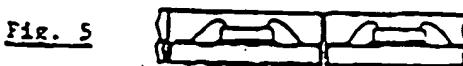


Fig. 5

②公開特許公報(A) 昭62-9639

③Int.Cl.
H 01 L 21/56識別記号 厅内整理番号
R-6835-5F

④公開 昭和62年(1987)1月17日

審査請求 未請求 発明の数 1 (全2頁)

⑤発明の名称 半導体装置の製造方法

⑥特 願 昭60-148864

⑦出 願 昭60(1985)7月5日

⑧発明者 水俣 常郎 山形市北町4丁目12番12号 山形日本電気株式会社内

⑨出願人 山形日本電気株式会社 山形市北町4丁目12番12号

⑩代理人 弁理士 内原 音

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

バーンディングされた配線を有するプリント配線板に半導体チップを取りし、該半導体チップの電極と該配線との接続を行い、該接止後これを切断分離することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(電気上の利用分野)

本発明は、半導体装置の製造方法に関するもので、特に小型トランジスター、ダイオード、小型ICのチップ部品を信頼度高くかつ安価に提供するものである。

(従来の技術)

従来、この種の半導体チップ部品は、パンチ

グされたリードフレームに半導体パレットを形成・結露を行ったのち、リード形状の加工を行いテーブル状にするものや、セラミック部品に半導体パレットを搭載・研削し接止端止するものがある。
(発明が解決しようとする問題点)

従来の製法に亘づくものは、良否の外では接止後リード加工を行うために耐候性等の面で劣化が見られる外、形状寸法のバラツキが大きいという欠点があり、実装工場でのトラブルの要因となっている。

又、後者の中では、材料が高価である事の外に材料品質の寸法バラツキ、接止寸法バラツキが大きいという欠点があり、やはり実装工場でのトラブルの要因となっている。

(問題点を解決するための手段)

本発明は、あらかじめ電子線めに合致したバーンディングを施したプリント配線基板に半導体パレットを取りし、必要な内部結露を行い、その後電子線で接止し、かかる後接止後プリント配線基板を切断分離し、個々の半導体電子に分離

するものである。この時、電子の電気部材の取付やマーキング等の工程は省略・分離の場合はいずれもよく、電子部品やプロセスの最適化により最もやりやすい工程で行えばよい。

(実施例)

次に、本発明について図面を参照して説明する。
第1図は完成した装置の側面及び断面を表わしている。第2図(A)は本装置の組立に用いるプリント配線基板の側面図、同図(B)はこのプリント配線基板の平面部分図である。以降図面に依り組立工程を説明する。

プリント配線基板1に半導体ペレット3をソルダーワークで取りつけ固定し、マジンディングワイヤー4で結線する。この様子を第3図に示す。次に、電子面を樹脂5で封止する。封止は全面でも部分的にに行ってよい。第4図にこれを示す。最後に電子を切断分離し完成品となる。この様子を第5図に示す。切所はスルーホールの中央部を正確に行う事により、裏面の実装用コンタクトとの連絡を損うことなく分離出来る。

第5図は断面封止後の基板を切断分離し、側面の状態として完成した様子を示している断面図である。

1……プリント配線基板、2……マウントソルダー、3……半導体ペレット、4……マジンディングワイヤー、5……封止樹脂。

代理人 犀星士 内原 勝

(図面の数)

以上説明した如く、本発明によれば加工工程がなく品質のよい、小量リードレスチップアーリア電子が得られる。かたば安価のリードが工によってカッブキャリアに比較し30~50%小型化する事ができ、今後の小型化技術にも十分対応できる。電子は小型のダイオードやトランジスタから、大形のL.T.I.電子まで広く適用可能、その効果に御り知れない。

4. 図面の序号を説明

第1図は本発明の一実施例による半導体装置の部分断面を示した側面図である。

第2図(A)および第2図(B)はそれぞれプリント配線基板の側面図および平面図である。

第3図はプリント配線基板に半導体ペレットを搭載し外周端子と封緘した様子を表わしている側面図である。

第4図は半導体電子面を保護用樹脂で封止した電子を表わす断面図である。

